

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/EP05/001165

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: DE
Number: 10 2004 009 609.0
Filing date: 27 February 2004 (27.02.2004)

Date of receipt at the International Bureau: 02 May 2005 (02.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

BUNDESREPUBLIK DEUTSCHLAND**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 10 2004 009 609.0

Anmeldetag: 27. Februar 2004

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Stromsparender Multibit-Delta-Sigma-Wandler

IPC: H 03 M 3/04

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 4. April 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stanschus

Beschreibung

Stromsparender Multibit-Delta-Sigma-Wandler

- 5 Die vorliegende Erfindung betrifft einen stromsparenden Multibit-Delta-Sigma-Wandler, bei dem insbesondere die Anzahl von Komparatoren in seinem Quantisierer reduziert ist.

10 Als Analog-Digital-Umsetzer bzw. Wandler werden häufig sogenannte Delta-Sigma-Wandler verwendet, weil diese hohe Quantisierungen und einen großen Signal-Rauschabstand bieten.

Ein einfacher allgemein bekannter Ein-Bit-Delta-Sigma-Wandler liefert aus einem analogen Eingangssignal einen Ein-Bit-Datenstrom. Wenn die Amplitude des analogen Eingangssignals ansteigt, überwiegt am Ausgang des Delta-Sigma-Wandlers ein logischer H-Pegel, fällt sie, überwiegt ein logischer L-Pegel. Bei konstantem Eingangssignal fluktuiert das digitale Ausgangssignal zwischen den H- und L-Pegeln. Das analoge Signal kann dann prinzipiell durch Integration dann wieder aus dem Bitstrom gewonnen werden.

Im wesentlichen besteht ein solcher Ein-Bit-Delta-Sigma-Wandler aus zwei Blöcken: einem analogen Modulator und einem digitalen Filter. Dabei ist der Modulator prinzipiell nur ein Komparator, dem ein Integrierer vorgeschaltet ist. Mit einem Differenzverstärker wird von dem analogen Eingangssignal ein mit einem Einbit Digital-Analog-Wandler rückgewandeltem Ausgangssignal abgezogen. Dieses Signal aus dem Differenzverstärker wird einem Komparator zugeführt, dem ein Integrierer vorgeschaltet ist. So wird der Komparator ständig zurückgesetzt und es entsteht der Ein-Bit-Datenstrom.

35 Da bei kleinen Eingangspegeln das Quantisierungsrauschen bei dieser Ein-Bit-Wandlung relativ groß ist, weil das digitale Ausgangssignal lediglich vollständig zwischen H- und L-Pegel

schwankt, wird häufig eine Multibit-Delta-Sigma-Modulation eingesetzt.

Ein allgemein nach dem Stand der Technik bekannter Multibit-Delta-Sigma-Wandler ist in Figur 1 dargestellt.

Der Multibit-Delta-Sigma-Wandler MDSW weist einen Eingang E zum Einkoppeln eines analogen Eingangssignals ZA und einen Ausgang A zur Ausgabe eines N-Bit breiten digitalen Ausgangssignals ZD auf. Es ist ein Digital-Analog-Wandler DAW von N Bitbreite vorgesehen, der aus dem digitalen Ausgangssignal ZD ein Rückkopplungssignal Z3 wandelt. Von dem analogen Eingangssignal ZA wird das Rückkopplungssignal Z3 mit einem Differenzverstärker DV abgezogen. Das so erhaltene Differenzsignal Z1 wird von einem Integrierer S integriert und als integriertes Signal Z2 einem N-Bit Quantisierer zugeführt, der daraus das digitale Ausgangssignal bildet.

Der Quantisierer Q wird in der Regel als Flash-Analog-Digital-Wandler ausgeführt. Eine entsprechende Schaltungsanordnung eines demgemäßen Quantisierers Q ist in Figur 2 dargestellt.

Es ist beispielhaft ein Drei-Bit-Quantisierer Q dargestellt, der einen Eingang A zum Entgegennehmen des integrierten Signals Z2 und einen Ausgang D zur Ausgabe des digitalen Ausgangssignals D aufweist. Es sind sieben Komparatoren K1, ... K7 vorgesehen, die jeweils einen ersten Eingang L1, ... L7 zum Entgegennehmen des integrierten Signals Z2, jeweils einen zweiten Eingang M1, ... M7 zum Anschluss eines jeweiligen Referenzpotenzials U1, ... U7 und jeweils einen Ausgang U1, ... U7 zum Ausgeben eines Vergleichsergebnisses P1, ... P7 aufweisen. Die Vergleichsergebnisse P1, ... P7 werden an einen Dekodierer DEK geführt, der das digitale Ausgangssignal ZE bildet.

Die Referenzpotenziale $U_0, \dots U_6$ werden zwischen Widerständen $R_1, \dots R_7$ einer Widerstandskette abgegriffen, die zwischen einem oberen Referenzpotenzial $VREFP$ und einem unteren Referenzpotenzial $VREFN$ geschaltet sind, abgegriffen. So liegen die Vergleichsergebnisse jeweils entweder als H- oder L-Pegel vor. Je nach Pegel des integrierten analogen Eingangssignals Z_2 schalten die jeweiligen Komparatoren einen H-Pegel oder einen L-Pegel als Vergleichsresultat an den Dekodierer.

10 Die Vergleichsresultate liegen somit im Thermometerkode vor und der Dekodierer bildet daraus ein geeignetes, z.B. binär kodiertes digitales Ausgangssignal ZD .

Ein besonders großer Nachteil dieser Quantisierieranordnung Q nach dem Stand der Technik liegt in ihrem hohen Stromverbrauch. Quantisierer sind besonders große Leistungsaufnehmer. Da mit der Bitbreite N eines Quantisierers Q die Anzahl der notwendigen Komparatoren exponentiell ansteigt, weisen auch Multibit-Delta-Sigma-Wandler nach dem Stand der Technik mit hoher Bitbreite eine hohe Leistungsaufnahme auf.

Z.B. werden bei einem Quantisierer für einen Vier-Bit-Delta-Sigma-Wandler fünfzehn Komparatoren benötigt. Daher sind Multibit-Delta-Sigma-Wandler mit hoher Bitbreite in der Regel starke Stromverbraucher.

Der vorliegenden Erfindung liegt nunmehr die Aufgabe zugrunde, einen stromsparenden Multibit-Delta-Sigma-Wandler zu schaffen, der insbesondere eine geringe Anzahl von Komparatoren aufweist und einen geringen Flächenbedarf als integrierte Schaltung aufweist.

Erfindungsgemäß wird diese Aufgabe von einem stromsparenden Multibit-Delta-Sigma-Wandler gelöst, der die Merkmale des Patentanspruchs 1 aufweist. Ferner löst die Aufgabe ein Multibit-Delta-Sigma-Wandler gelöst, der die Merkmale des nebengeordneten Patentanspruchs 10 aufweist.

Demgemäß ist ein stromsparender Multibit-Delta-Sigma-Wandler vorgesehen mit einem Eingang für ein analoges Eingangssignal und einem Ausgang für ein digitales Ausgangssignal, mit einem Digital-Analog-Wandler, der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals zu einem analogen Rückkopplungssignal, mit einer Summiereinrichtung zum Bilden der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal, mit einem Filter zum Filtern Differenzsignals, und mit einer getakteten Quantisiereinrichtung zum Quantisieren des gefilterten Differenzsignals zu dem digitalen Ausgangssignal mit der Bitbreite N . Dabei weist die Quantisiereinrichtung mehrere Komparatoren auf, die das gefilterte Signal mit jeweils einem dem jeweiligen Komparator zugehörigen Referenzpotenzial vergleichen und die jeweils ein Vergleichsergebnis an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal erzeugt. Dabei sind die Referenzpotenziale in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt.

Es ist ferner ein stromsparender Multibit-Delta-Sigma-Wandler mit einem Eingang für ein analoges Eingangssignal und einem Ausgang für ein digitales Ausgangssignal vorgesehen, der einen Digital-Analog-Wandler, der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals zu einem analogen Rückkopplungssignal; eine Summiereinrichtung zum Bilden der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal; einen Filter zum Filtern des Differenzsignals; und eine getakteten Quantisiereinrichtung zum Quantisieren des gefilterten Differenzsignals zu dem digitalen Ausgangssignal mit der Bitbreite N aufweist. Dabei beaufschlagt die Quantisiereinrichtung das gefilterte Signal mit einem Potenzial-Offset und weist mehrere Komparatoren auf, die das gefilterte und beaufschlagte Signal mit jeweils einem dem jeweiligen Komparator zugehörigen Referenzpotenzial vergleichen und die jeweils ein Vergleichsergebnis an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal

erzeugt. Ferner ist der Potenzial-Offset in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, dass durch Kenntnis der Vergleichsergebnisse - bzw. Kenntnis der Wandlerergebnisse und damit des digitalen Ausgangssignals - zu einem vorherigen Zeitpunkt die Anzahl der Komparatoren verringert wird. Da sich das analoge gefilterte Eingangssignal der Quantisiereinrichtung im Bezug zur Taktfrequenz nur langsam ändert, findet eine Änderung im Thermometerkode der von den Komparatoren ausgegeben wird, nur an einem der Komparatoren statt. Daher genügt es erfindungsgemäß, den Komparator zu lokalisieren, der sich gegenüber seinem ausgegebenen Vergleichsergebnis zu einem vorhergehenden Takt ändert. So wird die entsprechende Stelle im Thermometerkode und nur einige wenige weitere Komparatoren vorgehalten. Von Takt zu Takt sind lediglich die sich ändernden Vergleichsergebnisse relevant, die dadurch gekennzeichnet sind, dass die Schaltschwelle des entsprechenden Komparators nahe dem Pegel des analogen gefilterten Signals liegt. Erfindungsgemäß lässt sich auch das gefilterte Signal mit einem Potenzial-Offset beaufschlagen wodurch ein beaufschlagtes Signal an die Komparatoren der Quantisiereinrichtung geführt ist, dessen Potenzialpegel immer in der Nähe der Schwellspannungen der - erfindungsgemäß reduzierten Anzahl der - Komparatoren nachgeführt ist. Dadurch, dass die Quantisiereinrichtung in dem erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandler weniger Komparatoren als ein entsprechender N-Bit breiter Quantisierer nach dem Stand der Technik aufweist, ist der erfindungsgemäße Multibit-Delta-Sigma-Wandler extrem stromsparend. Zudem ist der Flächenbedarf auf einem Halbleiterchip viel geringer als bei sonst üblichen Wandlern.

In einer bevorzugten Ausführungsform weist die Summiereinrichtung einen Differenzverstärker zum Verstärken der Differenz zwischen dem Eingangssignal und dem Rückkopplungssignal

auf und/oder das Filter weist einen Integrierer zum Integrieren des verstärkten Differenzsignals auf.

5 Bevorzugter Weise weist die Quantisiereinrichtung des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers weniger als 2^N-1 Komparatoren auf.

10 In einer bevorzugten Weiterbildung des Multibit-Delta-Sigma-Wandlers weist die Quantisiereinrichtung eine Schaltsteuerung auf, die in Abhängigkeit von dem vorherigen Vergleichsergebnis Referenzpotenziale an die Komparatoren schaltet, so dass
mindestens einer der Komparatoren sein Vergleichsergebnis ändert. Bevorzugt ist ein Speicher zum Zwischenspeichern des digitalen Ausgangssignals vorgesehen. Aus dem gespeicherten
15 digitalen Ausgangssignal lässt sich derjenige Komparator lokalisieren, der einer Stelle des Thermometerkodes entspricht und welcher eine Schaltschwelle aufweist, die dem Pegel des gefilterten Signals am nächsten liegt.

20 Die Schaltsteuerung ist bevorzugt an den Speicher gekoppelt und schaltet die Referenzpotenziale in Abhängigkeit von dem zwischengespeicherten Ausgangssignal an die Komparatoren.

In einer bevorzugten Ausführungsform des erfindungsgemäßen Multibit-Delta-Sigma-Wandlers weist die Quantisiereinrichtung
mindestens einen ersten, zweiten und dritten Komparator mit jeweils einem ersten Eingang, einem zweiten Eingang und einem
Ausgang auf. Dabei sind an die ersten Eingänge das gefilterte Signal angelegt und an die zweiten Eingänge jeweils ein ers-
30 tes, zweites und drittes Referenzpotenzial. Die Ausgänge der Komparatoren liefern jeweils ein Vergleichsergebnis und die Referenzpotenziale sind so gewählt, dass das zweite Referenzpotenzial zwischen dem ersten und dritten Referenzpotenzial
liegt und dass das zweite Referenzpotenzial dem Potenzial des
35 gefilterten Signals am nächsten liegt.

Bei einer Ausführung der Quantisiereinrichtung mit nur drei Komparatoren ist es möglich, jeweils die Referenzpotenziale derart abzustimmen bzw. nachzuführen, dass der zweite bzw. mittlere Komparator sein Vergleichsergebnis von Takt zu Takt ändert. In dem Drei-Bit-Thermometerkode entspricht die Gesamtheit der Vergleichsergebnisse der drei Komparatoren dann jeweils einem Anstieg, Gleichbleiben oder Abfallen des analogen gefilterten Eingangssignals. Der Dekodierer kann daraus ausgehend von dem bekannten vorherigen Wandlerergebnis das entsprechende digitale Ausgangssignal bzw. den vollständigen Thermometerkode konstruieren. Der große Vorteil dieser bevorzugten Ausführungsform liegt darin dass in der Tat nur drei Komparatoren auch bei hohen Bitbreiten ausreichend sind.

15 Ferner ist es vorteilhaft, dass die Referenzpotenziale äquidistant gewählt sind und dass $2^N - 1$ verschiedene Referenzpotenziale schaltbar sind.

Weitere vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche sowie der Beschreibung unter Bezugnahme auf die Zeichnungen.

Die Erfindung wird nachfolgend anhand der schematischen Figuren und der Ausführungsbeispiele näher erläutert. Dabei zeigt:

Figur 1: einen Multibit-Delta-Sigma-Wandler nach dem Stand der Technik;

30 Figur 2: einen 3-Bit Quantisierer nach dem Stand der Technik;

Figur 3: eine Ausführungsform eines erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers;

35 Figur 4: eine Ausführungsform einer erfindungsgemäßen Quantisiereinrichtung;

Figur 5: eine zweite Ausführungsform eines erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandlers; und

5 Figur 6: ein Ausführungsbeispiel einer erfindungsgemäßen Vergleichseinrichtung.

In den Figuren sind gleiche bzw. funktionsgleiche Elemente mit gleichen Bezugszeichen versehen.

10 Die Figur 3 zeigt einen erfindungsgemäßen stromsparenden Multibit-Delta-Sigma-Wandler.

Der Multibit-Delta-Sigma-Wandler 1 weist einen Eingang 2 zum Einkoppeln eines analogen Eingangssignals ZA und einen Ausgang 3 zum Auskoppeln eines digitalen Ausgangssignals ZD auf.
15 Es ist ferner ein Digital-Analog-Wandler 4 vorgesehen, der das digitale Ausgangssignal ZD zu einem analogen Rückkopplungssignal Z3 wandelt. Der Digital-Analog-Wandler 4 weist eine Bitbreite N auf. Es ist ein Differenzverstärker 5 als
20 Summiereinrichtung vorgesehen, der das Rückkopplungssignal Z3 von dem analogen Eingangssignal ZA subtrahiert bzw. die Differenz zwischen dem analogen Eingangssignal ZA und dem Rückkopplungssignal Z3 verstärkt. Dieses verstärkende Differenzsignal Z1 wird von einem Filter, das hier als Integrierer 6
ausgeführt ist, integriert. Eine getaktete Quantisiereinrichtung 7 bildet aus dem gefilterten bzw. integrierten Differenzsignal Z2 das digitale Ausgangssignal ZD.

Die Quantisiereinrichtung liefert das digitale Ausgangssignal in derselben Bitbreite N, die der Digital-Analog-Wandler 4 aufweist. Die Quantisiereinrichtung 7 weist eine Schalt- und Vergleichseinrichtung 8 auf, die einen Eingang 9 zum Einkoppeln des integrierten Signals Z2, einen Ausgang 10 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 11 für ein oder mehrere Steuersignale SCT aufweist. Die
35 Schalt- und Steuersignale SCT sind von einer Steuerlogik 12 erzeugt, die an einen Zwischenspeicher 13 gekoppelt ist. Der

Zwischenspeicher 13 speichert das digitale Ausgangssignal ZD von einem vorherigen Taktzyklus. Die Quantisiereinrichtung 7 quantisiert das integrierte Signal Z2 also in Abhängigkeit von einem Quantisiererergebnis eines vorherigen Taktes. Die Arbeitsweise einer bevorzugten Ausführungsform der Schalt- und Vergleichseinrichtung ist in der Figur 4 erläutert.

Die Figur 4 zeigt eine bevorzugte Ausführungsform einer erfindungsgemäßen Schalt- und Vergleichseinrichtung 8. Die dargestellte Schalt- und Vergleichseinrichtung 8 ist beispielhaft für eine Quantisiereinrichtung ausgelegt, die ein $N = 3$ Bit breites digitales Ausgangssignal ZD liefert. Üblicherweise müssen in einem Drei-Bit-Quantisierer sieben Komparatoren vorgehalten werden.

15

Die Schalt- und Vergleichseinrichtung 8 weist einen Eingang 9 auf, zum Einkoppeln des integrierten Signals Z2, einen Ausgang 10 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 11 zum Entgegennehmen von einem oder mehrerer Steuersignale SCT.

20

Es sind ferner sieben Widerstände, 14-20, die in Serie zwischen einem oberen Referenzpotenzial VREFP und einem unteren Referenzpotenzial VREFN geschaltet sind, vorgesehen. Zwischen den Widerständen 14-20 sind sechs Referenzpotenziale U1, U2, U3, U4, U5, U6 abgreifbar. Ferner dient das untere Referenzpotenzial VREFN als nulltes Referenzpotenzial U0.

Es sind drei Komparatoren 21, 22, 23 vorgesehen, die jeweils einen ersten Eingang 24, 25, 26 aufweisen, an den das integrierte Signal Z2 angelegt ist, jeweils einen zweiten Eingang 27, 28, 29 und jeweils einen Ausgang 30, 31, 32 zum Ausgeben eines jeweiligen Vergleichsergebnisses V1, V2, V3 aufweisen.

Die Vergleichsergebnisse werden einem Dekodierer zugeführt, der daraus in Abhängigkeit von einem Kodiersteuersignal SCD das digitale Ausgangssignal ZD erzeugt. Das Dekodiersteuer-

35

signal SCD kann wie die Steuersignale SCT von einer Steuerlogik 12 geliefert werden. An die zweiten Eingänge 27, 28, 29 der Komparatoren 21, 22, 23 schaltet eine von dem Schaltsignal SCT gesteuerte Schalteinrichtung 34 jeweils eines der Referenzpotenziale U0, U1, U2, U3, U4, U5, U6 durch.

Die Steuersignale SCT bzw. eine entsprechende Steuerlogik 12 steuert die Schalteinrichtung 34 derart, dass bei einer Änderung des integrierten Signals Z2 von einem Taktzyklus zum nächsten die Schaltstelle des mittleren bzw. zweiten Komparators 22 immer dem Pegel des integrierten Signals Z2 am nächsten liegt. Wenn z.B. der Pegel des integrierten Signals Z2 bei einem ersten Wandlerzyklus bzw. Takt zwischen dem Referenzpotential U1 und U2 liegt, und die Schaltschwelle des ersten Komparators 21 bei U3, die des zweiten Komparators 22 bei U2 und die des dritten Komparators bei U1 liegt, lauten die Vergleichsergebnisse $V1 = L$, $V2 = L$ und $V3 = H$. Steigt nun zu einem zweiten folgenden Takt der Pegel des integrierten Signals Z2 zwischen U2 und U3, liefern die Komparatoren bei unveränderten Schwellspannungen ein Vergleichsergebnis $V1 = L$, $V2 = H$ und $V3 = H$.

Die Schwellspannungen der drei Komparatoren 21, 22, 23 sind so eingestellt, dass sie den Ausschnitt in einem vollständigen drei Bit breiten Thermometerkode (acht Stellen, die jeweils H oder L aufweisen) überdecken, in dem ein Wechsel von H auf L von einem niedrigwertigen zu einem höherwertigen Bit auftritt. Da jedoch durch Zwischenspeicherung beispielsweise in einem Zwischenspeicher wie er in Abbildung 3 beschrieben ist, die vorherigen Vergleichsergebnisse bekannt sind, kann ein vollständiger, also acht Stellen aufweisender Thermometerkode von einem Kodierer 33 rekonstruiert werden, der dann auch ein entsprechendes digitales Ausgangssignal ZD beispielsweise in einem Binärkode generiert.

Die Referenzpotenziale U0-U6 sind immer so an die zweiten Eingänge 27, 28, 29 der Komparatoren 21, 22, 23 geschaltet,

dass der erste Komparator 21 eine höhere Schaltschwelle aufweist, als der zweite Komparator 22 und der zweite Komparator 22 eine höhere Schaltschwelle aufweist als der dritte Komparator 23.

5

Die Schaltschwellen zwischen dem ersten und dem zweiten Komparator 21, 22 und die Differenz der Schaltschwellen zwischen dem zweiten und dem dritten Komparator 22, 23 entspricht jeweils genau einer Stelle in einem Thermometerkode, der durch die äquidistanten Referenzpotenziale U0-U6 vorgegeben ist.

10

Von Takt zu Takt werden die Referenzpotenziale bzw. Schaltschwellen der Komparatoren 21, 22, 23 entweder um eine Stelle im Thermometerkode nach oben oder unten versetzt oder - sofern ein Übergang von H- auf L-Pegel bereits zwischen dem Vergleichsergebnis V1 und U2 oder V2 und U3 vorliegt - beibehalten.

15

Durch das Nachführen der Referenzpotenziale durch die Schalteinrichtung 34, die von der Steuerlogik 12 gesteuert ist, welche in Abhängigkeit von einem vorherigen Vergleichsergebnis bzw. Wandlerergebnis die jeweiligen Referenzpotenziale nachführt, sind die Schaltschwellen der drei Komparatoren 21, 22, 23 so steuert, dass sie in der Nähe des Pegels des integrierten Signal Z2 liegen, wodurch erfindungsgemäß eine erhebliche Einsparung an Komparatoren möglich ist.

20

Ein herkömmlicher Drei-Bit-Quantisierer müsste wie in Figur 2 dargestellt ist, sieben Komparatoren aufweisen, die jeweils einen hohen Flächenbedarf und eine hohe Leistungsaufnahme haben.

30

Unter "in der Nähe des Pegels" wird hier verstanden, dass der Pegel des integrierten Signals Z2 mindestens zwischen dem nächst höheren Referenzpotenzial zu der Schaltschwelle des ersten Komparators und dem nächst niedrigeren Referenzpotenzial zu der Schaltschwelle des dritten Komparators liegt.

35

Außerdem weist eine erfindungsgemäße Quantisiereinrichtung zum Einsatz in einem Multibit-Delta-Sigma-Wandler eine hervorragende Linearität auf, denn das Quantisierergebnis hängt
5 nur von drei oder weniger Komparatoren ab. D.h., eine Quantisierererkennlinie weist immer gleich große Quantisierstufen auf. Da beim Stand der Technik viele Komparatoren eingesetzt sind, ist dies meist nicht gewährleistet, da die Komparatoren untereinander Schwankungen aufweisen können. Somit liefert
10 die Reduzierung der Komparatoranzahl auch eine Verbesserung der Signalqualität des Multibit-Delta-Sigma-Wandlers.

In der Figur 5 ist eine zweite Ausführungsform eines erfindungsgemäßen Multibit-Delta-Sigma-Wandlers gezeigt.

15

Der erfindungsgemäßen Multibit-Delta-Sigma-Wandler 107 weist im wesentlichen dieselben Elemente wie in Figur 3 auf, wobei jedoch die Quantisiereinrichtung 107 eingangsseitig das gefilterte bzw. verstärkte und integrierte Signal Z2 mit einem
20 Potenzial-Offset PO beaufschlagt.

Die Quantisiereinrichtung 107 weist eine Vergleichseinrichtung 108 auf, die einen Eingang 109 zum Einkoppeln des gefilterten und mit einem Potenzial-Offset PO beaufschlagten Signals Z4, einen Ausgang 110 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 111 für ein oder mehrere Steuersignale SCT aufweist.

Die Schalt- und Steuersignale SCT sind von einer Steuerlogik
30 112 erzeugt, die an einen Zwischenspeicher 113 gekoppelt ist. Der Potenzial-Offset PO wird von der Steuerlogik 112 geliefert und über einen Addierer 106 dem gefilterten Signal Z2 aufaddiert.

35 Der Zwischenspeicher 13 speichert das digitale Ausgangssignal ZD von einem vorherigen Taktzyklus. Die Quantisiereinrichtung 107 beaufschlagt das gefilterte Signal Z2 zunächst und quan-

tisiert das beaufschlagte Signal Z4 also in Abhängigkeit von einem Quantisiererergebnis eines vorherigen Taktes. Das gefilterte Signal Z2 wird derart beaufschlagt, dass der resultierende Signalpegel des beaufschlagten Signales Z4 immer zwischen den Schwellspannungen bzw. Referenzpotenzialen von beispielsweise drei Komparatoren, die in der Vergleichseinrichtung 108 angeordnet sind.

Die Figur 6 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Vergleichseinrichtung 108.

Die Schalt- und Vergleichseinrichtung 108 weist einen Eingang 109 auf, zum Einkoppeln des beaufschlagten Signals Z4, einen Ausgang 110 zum Auskoppeln des digitalen Ausgangssignals ZD und einen Steuereingang 111 zum Entgegennehmen von einem oder mehrerer Steuersignale SCT.

Es sind drei Komparatoren 121, 122, 123 vorgesehen, die jeweils einen ersten Eingang 124, 125, 126 aufweisen, an den das beaufschlagte Signal Z4 angelegt ist, jeweils einen zweiten Eingang 127, 128, 129 und jeweils einen Ausgang 130, 131, 132 zum Ausgeben eines jeweiligen Vergleichsergebnisses V101, V102, V103 aufweisen.

Die Vergleichsergebnisse werden einem Dekodierer 133 zugeführt, der daraus in Abhängigkeit von einem Kodiersteuersignal SCD das digitale Ausgangssignal ZD erzeugt. Das Dekodiersteuersignal SCD kann wie die Steuersignale SCT von einer Steuerlogik 112 geliefert werden. An die zweiten Eingänge 127, 128, 129 der Komparatoren 121, 122, 123 ist jeweils ein Referenzpotenziale U101, U102, U103 geschaltet. Diese Referenzpotenziale sind festgelegt und hier äquidistant vorgesehen.

Die entsprechende Steuerlogik 112 steuert den Potenzial-Offset PO derart, dass bei einer Änderung des gefilterten Signals Z2 von einem Taktzyklus zum nächsten die Schaltstelle

des mittleren bzw. zweiten Komparators 122 immer dem Pegel des mit dem Potenzial-Offset PO beaufschlagten Signals Z4 am nächsten liegt. Die entsprechenden Vergleichsergebnisse V101, V102, V103 werden von der Dekodiereinrichtung 133 unter Berücksichtigung des Potenzialaufschlags PO, welcher positiv oder negativ sein kann, und des vorherigen Wandlungsergebnisses, welches in dem Zwischenspeicher 113 Zwischengespeichert ist, verarbeitet. Dies wird über die Steuersignale SCT gesteuert.

10

Durch die Nachführung des Potenzial-Offsets in Abhängigkeit des vorherigen Wandlungsergebnisses ist wieder erfindungsgemäß eine Reduzierung der Anzahl der Komparatoren gegenüber dem Stand der Technik möglich.

15

Obgleich die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, ist sie nicht darauf beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

20

So sei die Erfindung nicht auf eine Quantisiereinrichtung mit drei Komparatoren oder eine Bitbreite von $N = 3$ beschränkt. Vielmehr lässt sich die erfindungsgemäße Idee des Nachführens der Schaltschwellen bzw. Referenzpotenziale der einzelnen Komparatoren im Extremfall auch auf nur einen einzigen Komparator ausführen, dessen Schaltschwelle jeweils derart dem Pegel des zu vergleichenden Signals nachgeführt ist, dass sich bei jedem Takt das Vergleichsergebnis ändert.

30

Das Filter kann zeitkontinuierlich oder zeitdiskret ausgeführt sein, je nach Wandlerarchitektur des entsprechenden Multibit-Delta-Sigma-Wandlers.

35

Die Bereitstellung der Referenzpotenziale für den Thermometercode muss selbstverständlich nicht mit einer Widerstandsleiter geschehen, sondern kann auf vielfältige Art und Weise realisiert sein. Der Dekodierer kann auch abweichend vom Aus-

führungsbeispiel einen Thermometerkode anstelle des binären Kodes ausgeben.

Die Erfindung ermöglicht besonders stromsparende und hoch
5 auflösende Multibit-Delta-Sigma-Wandler. Die Reduzierung der
Komparatoranzahl führt zu einer Flächensparnis auf einem
Halbleiterchip. Eine Erhöhung der Bitbreite eines Multibit-
Delta-Sigma-Wandlers führt erfindungsgemäß nicht zu einer ex-
10 ponentiellen Erhöhung der Anzahl der notwendigen Komparato-
ren. Vielmehr lässt sich die vorliegende Erfindung auf belie-
bige Bitbreiten anwenden.

Patentansprüche

1. Stromsparender Multibit-Delta-Sigma-Wandler (1) mit:

5

(a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD);

10

(b) einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu einem analogen Rückkopplungssignal (Z3);

15

(c) einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3);

(d) einem Filter (6) zum Filtern des Differenzsignals (Z1); und

20

(e) einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen Ausgangssignal (ZD) mit der Bitbreite N;

30

wobei die Quantisiereinrichtung (7) mehrere Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal (Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen (V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt, und wobei die Referenzpotenziale (U0, ...U6) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt sind.

35

2. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 1, dadurch gekennzeichnet,

dass die Summiereinrichtung (6) einen Differenzverstärker (35) zum Verstärken der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3) aufweist.

- 5 3. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Filter (6) einen Integrierer zum Integrieren des
verstärkten Differenzsignals (Z1) aufweist
- 10 4. Multibit-Delta-Sigma-Wandler (1) nach einem der vorherge-
henden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Quantisiereinrichtung (7) weniger als 2^N-1 Kompara-
toren (21, 22, 23) aufweist.
- 15 5. Multibit-Delta-Sigma-Wandler (1) nach einem der vorherge-
henden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Quantisiereinrichtung (7) eine Schaltsteuerung (8,
20 12) aufweist, die in Abhängigkeit von dem vorherigen Ver-
gleichsergebnis an die Komparatoren (21, 22, 23) Referenzpo-
tenziale schaltet (U0, ...U6), so dass mindestens einer der
Komparatoren (21, 22, 23) sein Vergleichsergebnis (V1, V2,
V3) ändert.
- 30 6. Multibit-Delta-Sigma-Wandler (1) nach einem der vorherge-
henden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
dass ein Speicher (13) zum Zwischenspeichern des digitalen
Ausgangssignals (ZD) vorgesehen ist.
- 35 7. Multibit-Delta-Sigma-Wandler (1) nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Schaltsteuerung (8, 12) and den Speicher (13) gekop-
pelt ist und in Abhängigkeit von dem zwischengespeicherten
Ausgangssignal (ZD) die Referenzpotenziale (U0,... U6) an die
Komparatoren (21, 22, 23) schaltet.

8. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 5 dass die Quantisiereinrichtung (7) mindestens einen ersten, zweiten und dritten Komparator (21, 22, 23) mit jeweils einem ersten, einem zweiten Eingang (24-29) und einem Ausgang (30, 31, 32) aufweist, wobei an die ersten Eingänge (24, 25, 26) das gefilterte Signal (Z2) angelegt ist, die Ausgänge (30, 10 31, 32) jeweils ein Vergleichsergebnis (V1, V2, V3) liefern und an die zweiten Eingänge (27, 28, 29) ein erstes, zweites und drittes Referenzpotenzial (U0, ...U6) geschaltet ist, wobei das zweite Referenzpotenzial zwischen dem ersten und dritten Referenzpotenzial liegt und dem Potenzial des gefilterten Signals (Z2) am nächsten liegt.
- 15

9. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- 20 dass die Referenzpotenziale (U0, ..U6) äquidistant sind.

10. Multibit-Delta-Sigma-Wandler (1) nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

- dass $2^N - 1$ verschiedene Referenzpotenziale (U0, ...U6) schaltbar sind.

11. Stromsparender Multibit-Delta-Sigma-Wandler (100) mit:

- 30 (a) einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD);

- (b) einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu 35 einem analogen Rückkopplungssignal (Z3);

(c) einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3);

5 (d) einem Filter (6) zum Filtern des Differenzsignals (Z1);
und

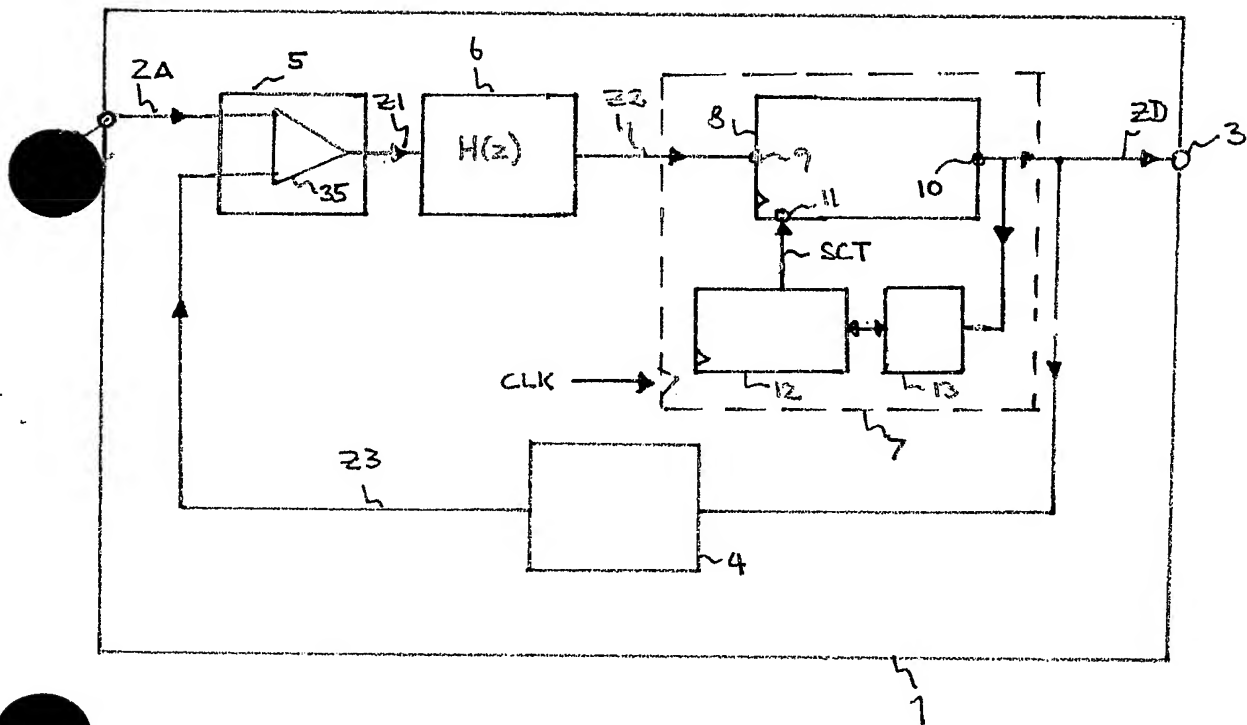
(e) einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen
10 Ausgangssignal (ZD) mit der Bitbreite N;

wobei die Quantisiereinrichtung (107) das gefilterte Signal mit einem Potenzial-Offset (PO) beaufschlagt und mehrere Komparatoren aufweist, die das gefilterte und beaufschlagte Signal (Z4) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer ausgeben, der aus den Vergleichsergebnissen das digitale Ausgangssignal (ZD) erzeugt,
15 und wobei der Potenzial-Offset (PO) in Abhängigkeit von einem
20 vorherigen Vergleichsergebnis nachgeführt ist.

Zusammenfassung

Stromsparender Multibit-Delta-Sigma-Wandler (1) mit einem Eingang (2) für ein analoges Eingangssignal (ZA) und einem Ausgang (3) für ein digitales Ausgangssignal (ZD); einem Digital-Analog-Wandler (4), der eine Bitbreite N aufweist, zum Wandeln des digitalen Ausgangssignals (ZD) zu einem analogen Rückkopplungssignal (Z3); einer Summiereinrichtung (5) zum Bilden der Differenz zwischen dem Eingangssignal (ZA) und dem Rückkopplungssignal (Z3); einem Filter (6) zum Filtern des Differenzsignals (Z1); und einer getakteten Quantisiereinrichtung (7) zum Quantisieren des gefilterten Differenzsignals (Z2) zu dem digitalen Ausgangssignal (ZD) mit der Bitbreite N; wobei die Quantisiereinrichtung (7) mehrere Komparatoren (21, 22, 23) aufweist, die das gefilterte Signal (Z2) mit jeweils einem dem jeweiligen Komparator (21, 22, 23) zugehörigen Referenzpotenzial (U0, ...U6) vergleichen und die jeweils ein Vergleichsergebnis (V1, V2, V3) an einen Dekodierer (33) ausgeben, der aus den Vergleichsergebnissen (V1, V2, V3) das digitale Ausgangssignal (ZD) erzeugt, und wobei die Referenzpotenziale (U0,...U6) in Abhängigkeit von einem vorherigen Vergleichsergebnis nachgeführt sind.

Figur 3

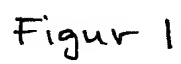


Figur 3

Bezugszeichenliste

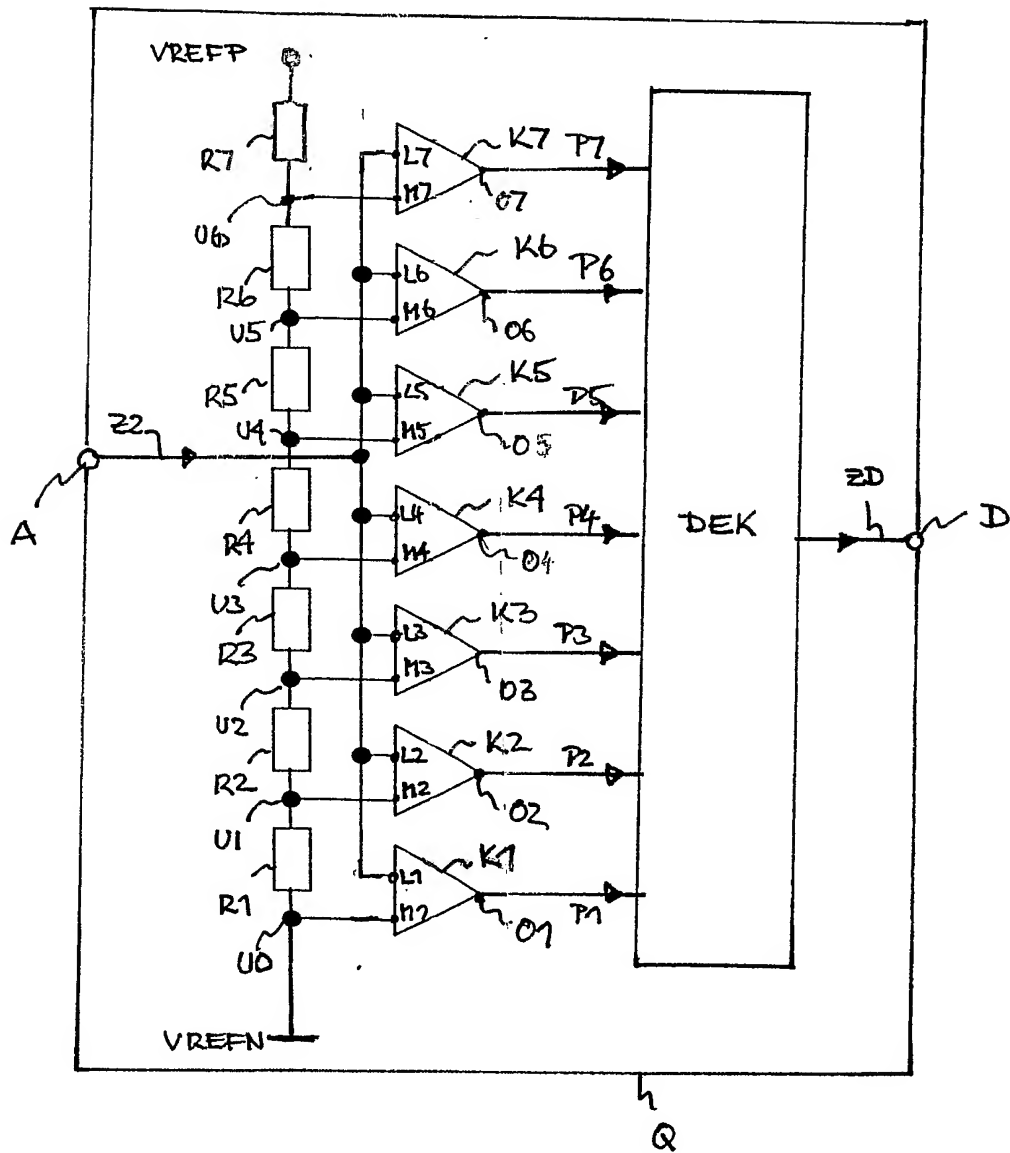
	1	Multibit-Delta-Sigma-Wandler
	2	Eingang
5	3	Ausgang
	4	Digital-Analog-Wandler
	5	Summiereinrichtung
	6	Filter
	7	Quantisiereinrichtung
10	8	Vergleichs- und Schalteinrichtung
	9	Eingang
	10	Ausgang
	11	Steuereingang
	12	Steuerlogik
15	13	Zwischenspeicher
	14-20	Widerstand
	21, 22, 23	Komparator
	24, 25, 26	Eingang
	27, 28, 29	Eingang
20	30, 31, 32	Ausgang
	33	Dekodierer
	34	Schalteinrichtung
	35	Differenzverstärker
	107	Quantisiereinrichtung
5	108	Vergleichseinrichtung
	109	Eingang
	110	Ausgang
	111	Steuereingang
	112	Steuerlogik
30	113	Zwischenspeicher
	121, 122, 123	Komparator
	124, 125, 126	Eingang
	127, 128, 129	Eingang
	130, 131, 132	Ausgang
35	133	Dekodierer
	A	Ausgang
	DEK	Dekodierer

	DV	Differenzverstärker
	E	Eingang
	GND	Masse
	K1-K7	Komparator
5	L1-L7	Eingang
	M1-M7	Eingang
	MDSW	Multibit-Delta-Sigma-Wandler
	O1-O7	Ausgang
	P1-P7	Vergleichsergebnis
10	Q	Quantisierer
	R1-R7	Widerstand
	S	Summierer
	SCT	Steuersignale
	U0-U6	Referenzpotenzial
15	U101-U103	Referenzpotenzial
	V1, V2, V3	Vergleichsergebnis
	VREFP	Referenzpotenzial
	VREFN	Referenzpotenzial
	PO	Potenzial-Offset
20	Z1	Differenzsignal
	Z2	gefiltertes Signal
	Z3	Rückkopplungssignal
	ZA	analoges Eingangssignal
	ZD	digitales Ausgangssignal



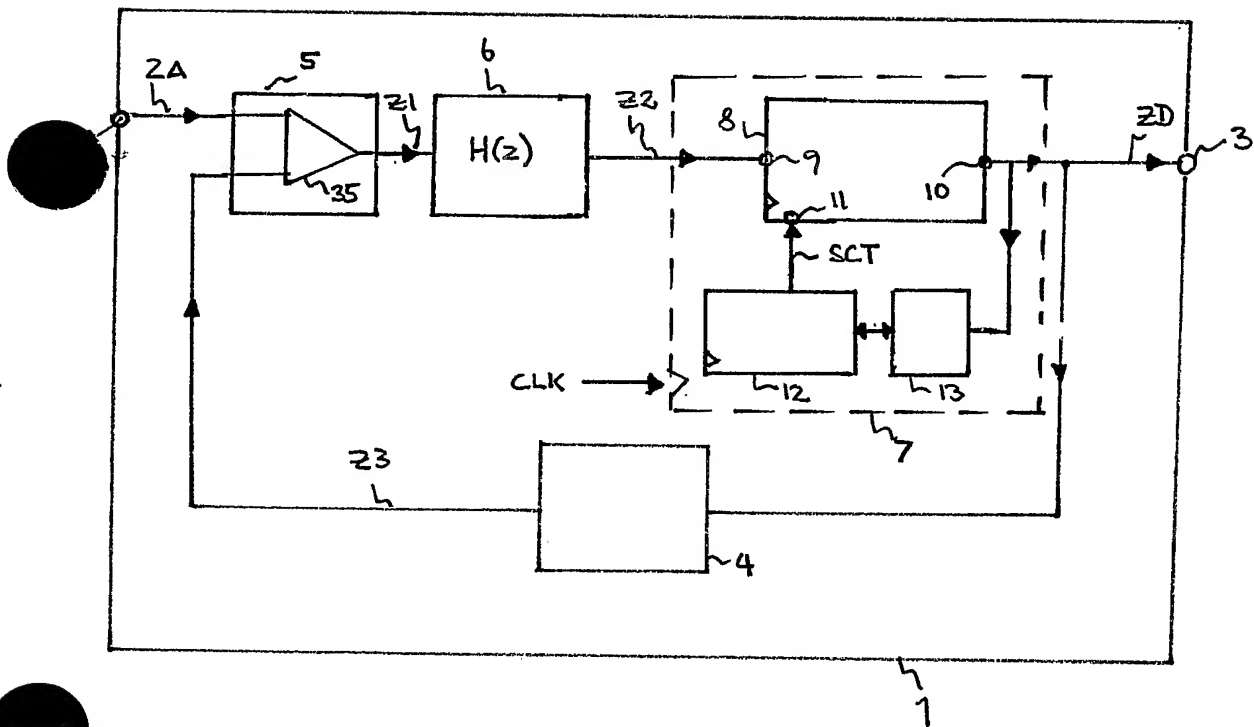
Figur 1

2/6



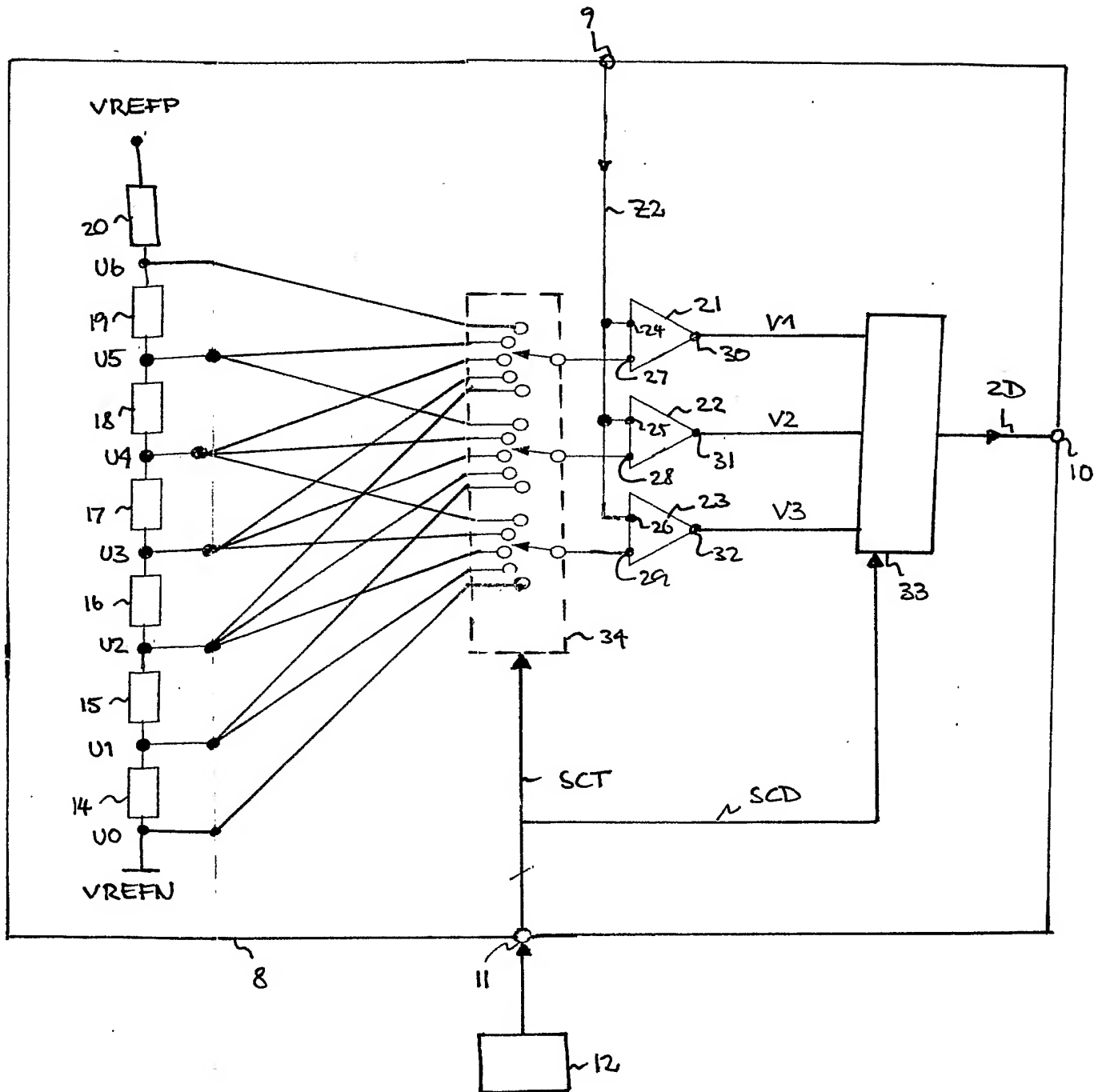
Figur 2

3/6

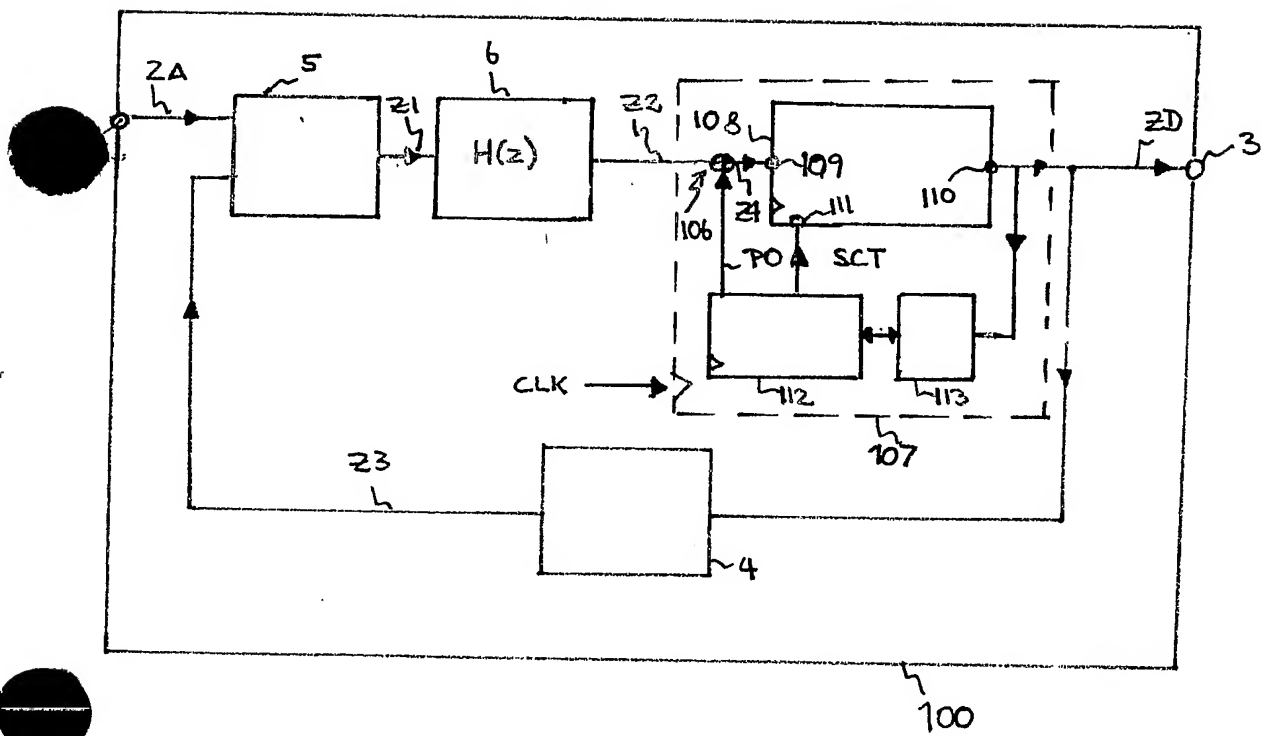


Figur 3

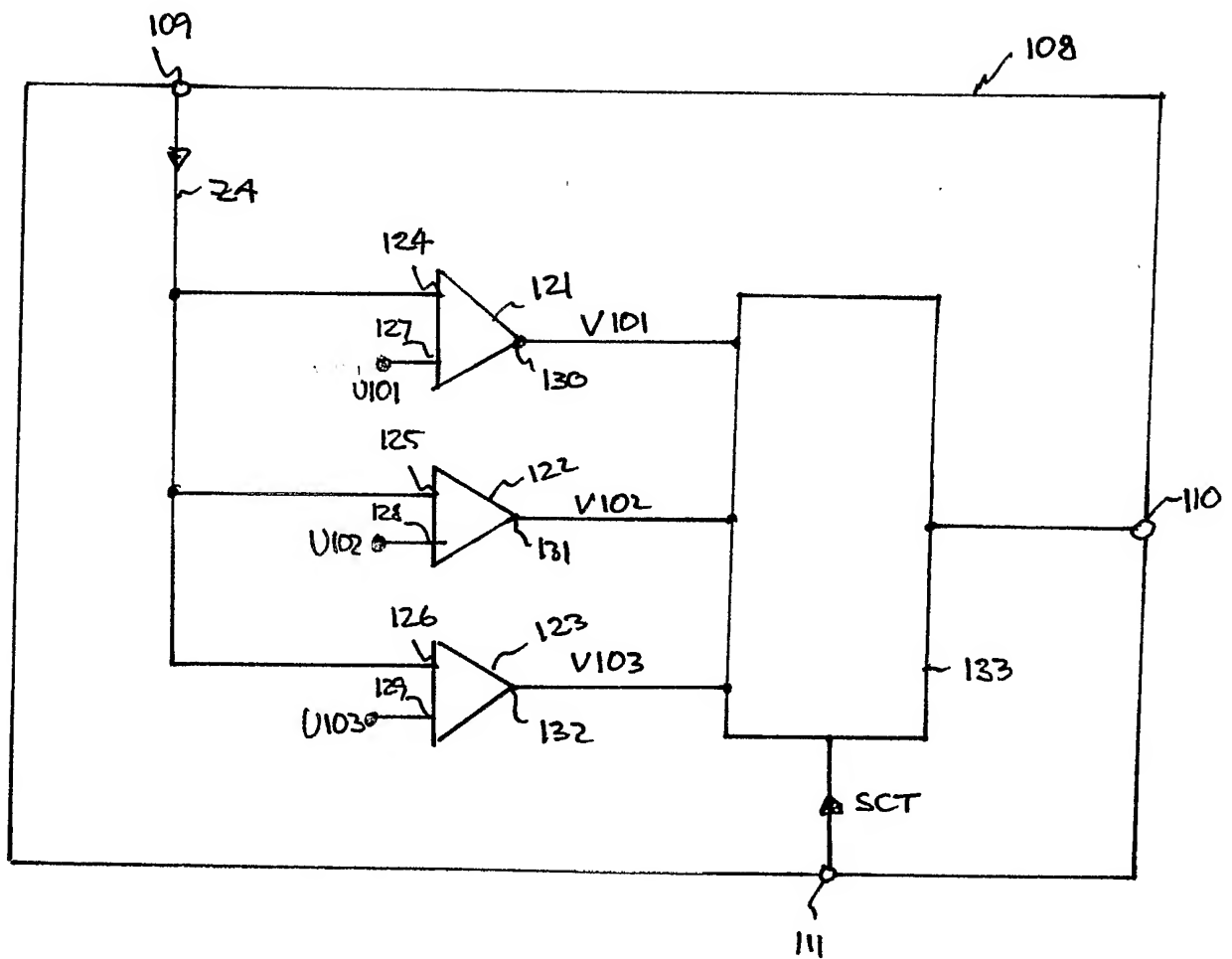
4/6



Figur 4



Figur 5



Figur 6